

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05075199 A

(43) Date of publication of application: 26.03.93

(51) Int. Cl

H01S 3/133

G11B 7/125

H04B 10/04

(21) Application number: 04024622

(22) Date of filing: 14.01.92

(30) Priority: 25.01.91 JP 03 25724
25.01.91 JP 03 25666
25.01.91 JP 03 25378
25.01.91 JP 03 25708

(71) Applicant: RICOH CO LTD

(72) Inventor: EMA HIDETOSHI
ISHIDA MASAAKI

(54) SEMICONDUCTOR LASER CONTROL
APPARATUS

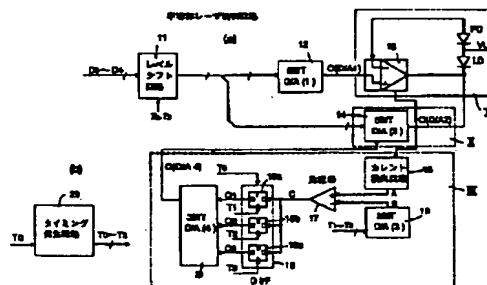
high-speed modulation characteristics.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To facilitate design of an optical-electrical load feedback loop and to enable high-speed control by using bipolar transistors to make circuits integrated in a semiconductor laser control apparatus which controls so that a monitor signal proportional to the output light intensity of a semiconductor laser may be equal to an emission command signal.

CONSTITUTION: An optical-electrical feedback loop I amplifies a differential current between an emission command signal and a monitor signal by an error current amplifier 13 and controls the forward current of a semiconductor laser LD. An automatic setting circuit III automatically sets the conversion rate of converting the emission command signal into the drive current of the semiconductor laser LD. A drive circuit II drives the semiconductor laser LD so as to attain an optical level corresponding to emission command signals independently of the optical-electrical load feedback loop I. Therefore, the controlled variable of the optical-electrical feedback loop decreases to improve



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75199

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. ⁵ H 01 S 3/133 G 11 B 7/125 H 04 B 10/04	識別記号 7131-4M C 8947-5D	庁内整理番号 F I 8426-5K	技術表示箇所 H 04 B 9/00 S
--	------------------------------	--------------------------	----------------------------

審査請求 未請求 請求項の数12(全 24 頁)

(21)出願番号 特願平4-24622	(71)出願人 000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日 平成4年(1992)1月14日	(72)発明者 江間秀利 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(31)優先権主張番号 特願平3-25724	(72)発明者 石田雅章 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(32)優先日 平3(1991)1月25日	(74)代理人 弁理士 高野明近(外1名)
(33)優先権主張国 日本(JP)	
(31)優先権主張番号 特願平3-25666	
(32)優先日 平3(1991)1月25日	
(33)優先権主張国 日本(JP)	
(31)優先権主張番号 特願平3-25378	
(32)優先日 平3(1991)1月25日	
(33)優先権主張国 日本(JP)	

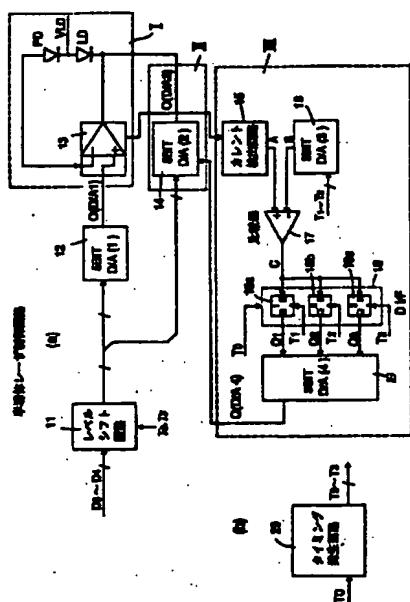
最終頁に続く

(54)【発明の名称】 半導体レーザ制御装置

(57)【要約】

【目的】 バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計を容易にし、かつ高速な半導体レーザの制御を可能とする。

【構成】 光・電流負帰還ループは、発光信号指令とモニタ信号との差電流を誤差電流増幅器により増幅し、半導体レーザの順方向電流を制御する。カレント検出回路は、前記誤差電流増幅器の発光指令信号の変化に応じた出力電流の変化量を検出する。電流加算回路は、発光指令信号に比例した電流を出力し、比例係数を決定する。



【特許請求の範囲】

【請求項1】 被駆動半導体レーザの光出力の一部をモニターし、該半導体レーザの出力光強度に比例するモニター信号と発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する半導体レーザ制御装置において、前記発光指令信号と前記モニター信号との差電流を誤差電流増幅器により増幅して前記半導体レーザの前記順方向電流を制御する光・電気負帰還ループと、前記誤差電流増幅器の前記発光指令信号の変化に応じた出力電流の変化量を検出するカレント検出回路と、第1のD/A変換器と、前記カレント検出回路の出力と前記第1のD/A変換器の出力を比較する比較器と、該比較器の出力結果を所定のタイミングに保持するメモリー機能と、前記所定のタイミングを生成するタイミング発生回路と、前記メモリーからの出力に従いD/A変換を行なう第2のD/A変換器と、前記発光指令信号に比例した電流を出し、比例係数を前記第2のD/A変換器の出力により決定する電流加算回路とから成ることを特徴とする半導体レーザ制御装置。

【請求項2】 前記カレント検出回路をハイパスフィルターにより構成したことを特徴とする請求項1記載の半導体レーザ制御装置。

【請求項3】 前記発光指令信号の最小値が所定値であり、前記発光指令信号の変化は最小値から最大値に変化させることを特徴とする請求項1記載の半導体レーザ制御装置。

【請求項4】 前記カレント検出回路をハイパスフィルターにより構成したことを特徴とする請求項3記載の半導体レーザ制御装置。

【請求項5】 前記タイミング発生を遅延回路により構成することを特徴とする請求項1記載の半導体レーザ制御装置。

【請求項6】 前記遅延回路の遅延時間の最小値を前記光・電気負帰還ループの制御時間より長くしたことを特徴とする請求項5記載の半導体レーザ制御装置。

【請求項7】 前記カレント検出回路をハイパスフィルターにより構成し、前記変換タイミングの1ビットあたりの遅延時間を前記ハイパスフィルターの時定数より短くしたことを特徴とする請求項6記載の半導体レーザ制御装置。

【請求項8】 前記誤差電流増幅器は、入力電流によりキャパシタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電流差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタのベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有することを特徴とする請求項9記載の半導体レーザ制御装置。

することを特徴とする請求項1記載の半導体レーザ制御装置。

【請求項9】 被駆動半導体レーザの光出力の一部をモニターし、該半導体レーザの出力光強度に比例するモニター信号と発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する半導体レーザ制御装置において、前記発光指令信号と前記モニター信号との差電流を誤差電流増幅器により増幅して前記半導体レーザの前記順方向電流を制御する光・電気負帰還ループと、

10 該光・電気負帰還ループを介して、前記発光指令信号の変化に応じた前記半導体レーザの順方向電流をA/D変換するA/D変換回路と、前記誤差電流増幅器の前記発光指令信号の変化に応じた出力電流の変化量を検出するカレント検出回路とから成ることを特徴とする半導体レーザ制御装置。

【請求項10】 前記発光指令信号の最小値が所定値であり、前記発光指令信号の変化は最小値から最大値に変化させることを特徴とする請求項9記載の半導体レーザ制御装置。

20 【請求項11】 前記A/D変換の各ビットの変換タイミングを遅延回路により構成することを特徴とする請求項9記載の半導体レーザ制御装置。

【請求項12】 前記誤差電流増幅器は、入力電流によりキャパシタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電流差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタのベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有することを特徴とする請求項9記載の半導体レーザ制御装置。

30 【請求項13】 前記誤差電流増幅器は、入力電流によりキャパシタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電流差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタのベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有することを特徴とする請求項9記載の半導体レーザ制御装置。

【発明の詳細な説明】

【0001】

【技術分野】 本発明は、半導体レーザ制御装置に関し、より詳細には、レーザプリンタ、光ディスク装置、デジタル複写機、光通信装置等における光源として用いられる半導体レーザの光出力を制御する半導体レーザ制御装置に関する。

【0002】

【従来技術】 半導体レーザは極めて小型であって、かつ駆動電流により高速に直接変調を行なうことができるので、近年、光ディスク装置、レーザプリンタ等の光源として広く使用されている。しかし、半導体レーザの駆動電流と光出力との関係は温度により著しく変化するので半導体レーザの光強度を所望の値に設定しようとする場合に問題となる。この問題を解決して半導体レーザの利点を活かすために、従来さまざまのA.P.C (Automatic

Power Control) 回路が提案されている。

【0003】このA P C回路は大きく次の3つの方に分類できる。①半導体レーザの光出力を受光素子によりモニターし、この受光素子に発生する受光電流（半導体レーザの光出力に比例する）に比例する信号と、発光レベル指令信号とが等しくなるように、常時半導体レーザの順方向電流を制御する光・電気負帰還ループにより半導体レーザの光出力を所望の値に制御する方式。

【0004】②パワー設定時間には半導体レーザの光出力を受光素子によりモニターし、この受光素子に発生する受光電流（半導体レーザの光出力に比例する）に比例する信号と、発光レベル指令信号とが等しくなるように半導体レーザの順方向電流を制御し、パワー設定時間外にはパワー設定時間で設定した半導体レーザの順方向電流の値を保持することによって半導体レーザの光出力を所望の値に制御するとともに、パワー設定時間外にはパワー設定時間で設定した半導体レーザの順方向電流情報を基づいて変調することにより半導体レーザの光出力を情報に載せる方式。③半導体レーザ温度を測定し、その測定した温度信号によって半導体レーザの順方向電流を制御したり、または半導体レーザの温度を一定とする*

$$\int P_{out} = P_0 \cdot t_0 \left(1 - \frac{1}{2 \pi f_0 \tau_0} [1 - \exp(-2 \pi f_0 \tau_0)] \right)$$

【0007】仮に、 $\tau_0 = 50 \text{ n s}$ 、誤差の許容範囲を0.4%とした場合、 $f_0 > 800 \text{ MHz}$ としなければならず、これは極めて困難である。また、(2)の方式では(1)の方式の上記問題は発生せず、半導体レーザを高速に変調することが可能であるので、多く使用されている。しかしながら、この(2)の方式では半導体レーザの光出力を常時制御しているわけではないので、外乱等により容易に半導体レーザの光量変動が生ずる。外乱としては、例えば半導体レーザのドウループ特性があり、半導体レーザの光量はこのドウループ特性により容易に数%程度の誤差が生じてしまう。半導体レーザのドウループ特性を抑制する試みとして、半導体レーザの熱時定数に半導体レーザ駆動電流の周波数特性を合わせ補償する方法などが提案されているが、半導体レーザの熱時定数は各半導体レーザ毎に個別にバラツキがあり、また半導体レーザの周囲環境により異なる等の問題がある。また光ディスク装置などにおいて問題とされる半導体レーザの戻り光の影響による光量変動などの問題がある。

【0008】この点を解決するために、例えば、特開平2-205086号公報のものが提案されている。この公報のものは、半導体レーザの光出力を受光素子によりモニターし、その出力と発光レベル指令信号とが等しくなるように半導体レーザの順方向電流を制御する光・電気負帰還ループと、発光レベル指令信号を半導体レーザの順方向電流に変換する変換手段とを有し、前記光・電

* ように制御をしたりして半導体レーザの光出力を所望の値に制御する方式。

【0005】半導体レーザの光出力を所望の値とするためには(1)の方式が望ましいが、受光素子の動作速度、光・電気負帰還ループを構成している増幅素子の動作速度等の限界により制御速度に限界が生ずる。例えば、この制御速度の目安として光・電気負帰還ループの開ループでの交叉周波数を考慮した場合、この交叉周波数を f_0 としたとき半導体レーザの光出力のステップ応

10 答特性は次のように近似できる。

$$P_{out} = P_0 \{ 1 - \exp(-2 \pi f_0 t) \}$$

P_{out} ：半導体レーザの光出力

P_0 ：半導体レーザの設定された光強度

t ：時間

半導体レーザの多くの使用目的では、半導体レーザの光出力を変化させた直後から、設定された時間 τ_0 が経過するまでの全光量（光出力の積分値 $\int P_{out}$ ）が所定の値となることが必要とされ、以下の式のようになる。

【0006】

20 【数1】

気負帰還ループの制御電流と前記変換手段により生成された電流との和または差の電流によって前記半導体レーザを制御するものである。しかしながら、光・電気負帰還ループの設計の容易さや、高速、高精度、高分解能な半導体レーザ制御装置としては不十分なものであった。

30 【0009】

【目的】本発明は、上述の問題点に鑑みてなされたもので、バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計を容易にし、かつ高速な制御を可能とした半導体レーザ制御装置を提供することを目的としてなされたものである。

【0010】

【構成】本発明は、上記目的を達成するために、(1)被駆動半導体レーザの光出力の一部をモニターし、該半導体レーザの出力光強度に比例するモニター信号と発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する半導体レーザ制御装置において、前記発光指令信号と前記モニター信号との差電流を誤差電流増幅器により増幅して前記半導体レーザの前記順方向電流を制御する光・電気負帰還ループと、前記誤差電流増幅器の前記発光指令信号の変化に応じた出力電流の変化量を検出するカレント検出回路と、第1のD/A変換器と、前記カレント検出回路の出力と前記第1のD/A変換器の出力を比較する比較器と、該比較器の出力結果を所定のタイミングに保持するメモリー機能と、前記所定のタイミングを生成するタイミング発生回路と、前記

40

50

メモリーからの出力に従いD/A変換を行なう第2のD/A変換器と、前記発光指令信号に比例した電流を出力し、比例係数を前記第2のD/A変換器の出力により決定する電流加算回路とから成ること、更には、(2)前記カレント検出回路をハイパスフィルターにより構成したこと、更には、(3)前記発光指令信号の最小値が所定値であり、前記発光指令信号の変化は最小値から最大値に変化させること、更には、(4)前記(3)において、前記カレント検出回路をハイパスフィルターにより構成したこと、更には、(5)前記(1)において、前記タイミング発生を遅延回路により構成すること、更には、(6)前記(5)において、前記遅延回路の遅延時間の最小値を前記光・電気負帰還ループの制御時間より長くしたこと、更には、(7)前記(6)において、前記カレント検出回路をハイパスフィルターにより構成し、前記変換タイミングの1ビットあたりの遅延時間を前記ハイパスフィルターの時定数より短くしたこと、更には、(8)前記(1)において、前記誤差電流増幅器は、入力電流によりキャパシタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電圧差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタのベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有すること、或いは、(9)被駆動半導体レーザの光出力の一部をモニターし、該半導体レーザの出力光強度に比例するモニター信号と発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する半導体レーザ制御装置において、前記発光指令信号と前記モニター信号との差電流を誤差電流増幅器により増幅して前記半導体レーザの前記順方向電流を制御する光・電気負帰還ループと、該光・電気負帰還ループを介して、前記発光指令信号の変化に応じた前記半導体レーザの順方向電流をA/D変換するA/D変換回路と、前記誤差電流増幅器の前記発光指令信号の変化に応じた出力電流の変化量を検出するカレント検出回路とから成ること、更には、(10)前記(9)において、前記発光指令信号の最小値が所定値であり、前記発光指令信号の変化は最小値から最大値に変化させること、更には、(11)前記(9)において、前記A/D変換の各ビットの変換タイミングを遅延回路により構成すること、更には、(12)前記(9)において、前記誤差電流増幅器は、入力電流によりキャパシタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電流差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタの

ベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有することを特徴としたものである。以下、本発明の実施例に基づいて説明する。

【0011】図1は、本発明による半導体レーザ制御装置に用いられる光・電気負帰還ループの一実施例を説明するための構成図で、図中、1はハイインピーダンス回路、2は電圧・電流変換回路、3は順方向電流変換回路である。なお、この図1の構成は後述する図8のI部に対応している。

【0012】発光指令信号 I_{signal} と、被駆動半導体レーザ (LD) の光出力 P_0 の一部をモニターして、入力された光強度に比例した光起電流 I_m とがキャパシタンス C_f の同一端子に接続され、そのため同電流の方向が逆方向なのでキャパシタンス C_f に流れる電流は $I_{signal} - I_m$ となる。この差電流 $I_{signal} - I_m$ によりキャパシタンス C_f の端子間電圧 V_1 が変化する。キャパシタンス C_f の端子間電圧 V_1 はハイインピーダンス回路 1 を介して、電圧・電流変換回路 2 に入力され、トランジスタ Q1 のエミッタ電流を I_{E1} 、トランジスタ Q2 のエミッタ電流を $-I_{E1}$ に変化させる。ここでシランジスタ Q1, Q2 を動作させるためのバイアス電流を I_1 とすると、トランジスタ Q1 のエミッタ電流は $I_1 + I_{E1}$ であり、トランジスタ Q2 のエミッタ電流は $I_1 - I_{E1}$ となる。トランジスタ Q1 のベースとトランジスタ Q2 のベースとは同一電位にバイアスされている。トランジスタ Q1, Q2 のベース・エミッタ電圧は次のようになる。

【0013】

$$V_{BE1} = V_T \cdot 1n (I_1 + I_{E1}) - V_T \cdot 1n (I_{S1})$$

$$V_{BE2} = V_T \cdot 1n (I_1 - I_{E1}) - V_T \cdot 1n (I_{S2})$$

また、トランジスタ Q3, Q4 のベース・エミッタ電圧は次になる。

$$V_{BE3} = V_T \cdot 1n (I_0 - I_{E3}) - V_T \cdot 1n (I_{S2})$$

$$V_{BE4} = V_T \cdot 1n (I_0 + I_{E3}) - V_T \cdot 1n (I_{S2})$$

ここで、トランジスタ Q3 と Q4 のエミッタ電流をそれぞれ $I_0 + I_{E3}$, $I_0 - I_{E3}$ とした。一方、トランジスタ Q1 のエミッタはトランジスタ Q4 のベースに接続され、トランジスタ Q2 のエミッタはトランジスタ Q3 のベースに接続され、トランジスタ Q3 と Q4 のエミッタは接続されている。

【0014】したがって、トランジスタ Q1 とトランジスタ Q2 のベース・エミッタ電位差は、トランジスタ Q4 とトランジスタ Q3 のベース・エミッタ電位差に等しくなる。

$$V_{BE1} - V_{BE2} = V_{BE4} - V_{BE3}$$

前記各トランジスタのベース・エミッタ電圧式から

$$I_{E3} = (I_0 / I_1) \cdot I_{E1}$$

となる。ここで、キャパシタンス C_f の端子間電圧 V_1 とエミッタ電流 I_{E1} との関係は比例するようにハイインピーダンス回路 1 を介して、電圧・電流変換回路 2 が動作するようになっている。この比例係数を A_0 とすれば

$$I_{E3} = (I_0/I_1) \cdot A_0 \cdot V_1$$

となる。

【0015】したがってトランジスタ Q_3, Q_4 のエミッタ電流の変化はキャパシタンス C_f の端子間電圧に比例し、トランジスタ Q_3, Q_4 の電流増幅率が十分大きければ、トランジスタ Q_3, Q_4 のエミッタ電流はコレクタ電流に等しい。このようにしてキャパシタンス C_f の端子間電圧 V_1 に比例する電流がトランジスタ Q_3, Q_4 のコレクタ電流となり、半導体レーザの順方向電流に変換する変換回路 3 を介してトランジスタ Q_3, Q_4 *

$$P_0 = \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R \cdot I_{signal} / [1 + \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R] - \eta \cdot I_{th} / [1 + \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R]$$

となる。

$$R = 50 (\text{k}\Omega), \eta = 0.15 (\text{mW}/\text{mA}), \alpha \cdot S = 0.133 (\text{mA}/\text{mW})$$

$$A_0 = 2, A_1 = 1/6.8 (\Omega), I_0/I_1 = 10, I_{th} = 50 \text{ mA}$$

の場合には

$$\alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R = 3000 > 1$$

$$I_{th} (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R = 0.34 \mu\text{A} \approx 3 \mu\text{W}$$

以上から P_0 の標準的出力レベルが 1 mW 程度の場合

$$P_0 = I_{signal} / \alpha \cdot S$$

となり P_0 は I_{signal} に比例する。

【0017】次に AC 動作の場合には

$$V_1 = (I_{signal} - I_m) / j\omega C_f$$

なので、光・電気負帰還ループのオープンループでのゲイン G_v は下記のようになる。

$$G_v = \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 / (j\omega C_f)$$

ここで、回路動作上の位相遅れに関しては下記理由により大幅に低減されている。

【0018】発光指令信号とフォトダイオード (PD) の光起電流の比較はキャパシタンス C_f の充放電により行なっているので、前記 $j\omega C_f$ の項により表現される設計上の位相遅れ要因のほかはほとんど発生しない。また、ハイインピーダンス回路は、例えばトランジスタにより構成し、コレクタ接地回路を用いれば、トランジスタの遮断周波数近くまで動作するのでたやすく高速化することができる。更に電圧・電流変換回路 2 もトランジスタのエミッタに抵抗を付加してコレクタ電流を取り出すようにすれば、たやすく高速化することができる。またトランジスタ Q_1, Q_2 にはバイアス電流が、例えば $100 \mu\text{A}$ 程度流れていれば、エミッタ抵抗値は 300Ω 程度なので、等価的に並列に挿入されるキャパシタンスの影響は大幅に低減される。

【0019】従って、光・電気負帰還ループのオープンループゲインが 1 となる周波数が 200 程度であれば上記 G_v の表現式がそのまま成立するようになる。さ

* のコレクタ電流に比例する電流が半導体レーザ (LD) の駆動電流となる。半導体レーザの順方向電流に変換する変換回路 3 の比例係数を A_1 とし、半導体レーザのしきい値電流を I_{th} 、微分量子効率を η 、光出力を P_0 、半導体レーザ (LD) を光出力をモニターしているフォトダイオード (PD) との結合効率を α 、前記フォトダイオード (PD) の放射感度を S とすると、フォトダイオード (PD) の光起電流 I_m と半導体レーザ (LD) の光出力 P_0 は下記のようになる。

$$P_0 = \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot V_1 - I_{th}$$

$$I_m = \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot V_1 - I_{th}$$

【0016】ここで DC 動作の場合には、キャパシタンス C_f と等価的に並列に入る抵抗を R とすれば $V_1 = R \cdot (I_{signal} - I_m)$ なので、

$$P_0 = \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R \cdot I_{signal} / [1 + \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R] - \eta \cdot I_{th} / [1 + \alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_1 \cdot A_0 \cdot R]$$

て、 $\alpha \cdot S \cdot \eta \cdot (I_0/I_1) \cdot A_0$ が一定値のとき光・電気負帰還ループのオープンループゲインが 1 となる周波数は比例係数 A_1 とキャパシタンス C_f の値により設定することができる。ところが半導体レーザは $\alpha \cdot S \cdot \eta$ の値が個別半導体レーザにより大幅にばらついている。このために半導体レーザ制御回路を IC 化する場合には、このバラツキを個別半導体レーザ毎に外付け部品により設定できるようになっている必要がある。また、ICにおいては個別素子の絶対値バラツキが大きいため、比例係数 A_1 とキャパシタンス C_f の値を IC 内で設定することができない。従って、比例係数 A_1 とキャパシタンス C_f の値は外付け部品により決定できるようにすることにより、上記問題点は除去することができる。

【0020】図 2 は、図 1 に示した光・電気負帰還ループの回路構成図である。図中的一点鎖線で示したブロックは図 1 に対応している。Q 2 2 により図 1 において述べたハイインピーダンス回路 1 を実現し、Q 1 8, Q 1 9、抵抗 R_1 により図 1 の電圧・電流変換回路 2 を実現している。図 1 のトランジスタ Q_1, Q_2 に対応するトランジスタは、図 2 においては $Q_2 1, Q_2 0$ であり、図 2 においては $Q_2 1, Q_2 0$ のベース・エミッタ電圧差をトランジスタ $Q_1 4, Q_1 3$ を介し、図 1 におけるトランジスタ Q_3, Q_4 に対応するトランジスタ $Q_1 0, Q_9$ に接続している。この場合 $Q_1 4, Q_1 3$ のトランジスタでの電圧降下は同じになるようにバイアス電流が $Q_1 4, Q_1 3$ に流れている。トランジスタ Q_9 のコレクタ電流の変化量が、抵抗 R_2 により電圧に変換されて Q_1 のトランジスタのベース電圧になる。ここでトランジスタ $Q_6, Q_7, Q_3, 抵抗 R_4, キャパシタンス C_0$ により DC シフトを行なながら、電圧・電流変

換している。Q1のトランジスタのベース電圧はDCシフトしてトランジスタQ0のエミッタ電圧になる。

【0021】その結果、抵抗RfにはトランジスタQ0のエミッタ電圧と抵抗Rfの値により決まる電流が流れ、トランジスタQ0の電流増幅率が十分大きいので、トランジスタQ0のエミッタ電流は該トランジスタQ0のコレクタ電流に等しくなる。このようにして半導体レーザ(LD)の順方向電流を制御する。ここで図1の説明において述べたA1は1/Rfであり、本発明による光・電気負帰還ループ回路をIC化する場合には、抵抗Rfを外付け部品とすることにより、図1における光・電気負帰還ループの周波数特性の設定のところで述べたことが実現されている。

【0022】図3は図2のバイアス電圧生成回路であり、図3に示したバイアスを与えることで図2の動作が保証されている。以下、動作について説明する。図中のI部で温度に安定な基準電圧を発生させている。すなわち、抵抗R38とトランジスタQ37のエミッタ間で前記基準電圧が発生している。そのため抵抗R38に流れる電流が非常に安定になる。トランジスタQ37のコレクタには、トランジスタQ38、Q39、Q40で構成されているカレントミラー回路が接続されており、矢印①、②で示す方向の電流が流れる。

【0023】トランジスタQ41、Q42、Q43もカレントミラー回路であり、矢印③、④の方向の電流が流れる。電圧V2は、トランジスタQ43に定電圧をかけるもので、Vccは抵抗R43の電圧降下により電圧V2の安定した電圧が得られる。また、トランジスタQ43と同じベース電圧がトランジスタQ48に印加されているので、該トランジスタQ48のコレクタには、矢印⑤で示す方向に安定した電流が流れる。トランジスタQ47のカレントミラー回路で安定したベース電圧V4が発生される。

【0024】このベース電圧V4をトランジスタQ46のベースに印加すると、トランジスタQ45のベース電圧から安定になる。トランジスタQ45のエミッタとトランジスタQ44のコレクタ間に電圧V3が得られる。そしてこの電圧V3は図2のa点と同電位となり、安定した電圧が得られる。図中のII部では、電圧V5が電源電圧の影響を受けない安定電圧として得られる。すなわち、図2のトランジスタQ1のベース電圧と同じ温度特性をなす電圧が得られる。電圧V6も同様であり、図2のトランジスタの温度特性による影響のない電圧がb点に得られ安定となる。

【0025】図4は、光・電気負帰還ループの他の実施例を示す図である。図4においては図2と同様であるが、図2における抵抗R2の接続が半導体レーザの駆動用トランジスタのエミッタ端子になっている。このようにすることにより、図2に比較して半導体レーザの駆動トランジスタのエミッタ電流が小さな場合のリニアリテ

イを改善している。

【0026】図5は、図4のバイアス電圧生成回路である。ただし、図4におけるV2のバイアスは図3と同様なので、図5の説明においては省略している。以下、動作について説明する。図中のI部において、電圧V9は、電圧Vccの影響を受けない安定した電圧である。また、電圧V8は、図4のトランジスタQ6のベースへの接続の仕方と等価になるように作成されており、II部においてトランジスタの温度変化や特性のバラツキが同じになるように構成されている。III部における電圧V7は、図4のトランジスタQ0のエミッタ電圧、すなわちa部における安定電圧を得るためのものである。

【0027】図6は、光・電気負帰還ループの更に他の実施例を示す図である。図6においては、図1における半導体レーザの順方向電流に変換する変換回路3を省略し、図1におけるトランジスタQ3、Q4のコレクタ電流により、直接半導体レーザ(LD)駆動している。このようにすることにより、非常に高速に光・電気負帰還ループを構成可能とする誤差電流増幅器が実現できる。

20 この図6の構成により、最も高速性のある制御回路が得られることになる。しかしながら、トランジスタQ9、Q10としてサイズの大きなトランジスタを用いなければならないという問題点がある。

【0028】図7は、光・電気負帰還ループの更に他の実施例を示す図である。図7は、図2のトランジスタQ18、Q19のバイアス電流を供給しているトランジスタQ16、Q17のベース電圧を独立に設定できるようにした場合である。こうすることにより、前記光・電気負帰還ループのオープンループにおけるDCゲインを決めている。I1とI0の比率を調整でき、外部電圧により光・電気負帰還ループのオープンループでゲインが1となる周波数を変化できるようになる。電圧V10は、図3における抵抗R47と抵抗48の間の電圧V10と対応している。

【0029】図8(a)、(b)は、本発明による半導体レーザ制御回路を示す図で、図中、11はレベルシフト回路、12は5BIT D/A変換器(1)、13はメインアンプ、14は5BIT D/A変換器(2)、15はカレント検出回路、16は3BIT D/A変換器(3)、17は比較器、18はD-F/F(D-フリップフロップ)、19は3BIT D/A変換器

40 (4)、20はタイミング発生回路である。なお、メインアンプ13を含むI部は図1の構成に対応している。また、B部は駆動回路であり、C部は自動設定回路である。図8においては光・電気負帰還ループだけでは半導体レーザの高速制御に限界があるので、更に高速変調が可能となるように、光・電気負帰還ループとは独立に発光指令信号に比例する電流を半導体レーザ(LD)に駆動するような駆動回路II部が付加され、この場合には、発光指令信号を半導体レーザ(LD)の駆動電流に変換

する変換比率が自動的に設定する自動設定回路III部が付加されている。

【0030】図9は、図8の動作説明用のタイミング信号の一例が示されている。以下、図8及び図9を参照にして前記変換効率の設定方法を説明する。TCがローのとき、入力データD0～D4にかかわりなく強制的に全データを内部的にローとして、5BIT D/A12と5BIT D/A14の出力を最低レベルにする。またTCがローのときには、T0～T3は全てローステートになっている。TCがローからハイに変化したのち、T0がロー～ハイに変化し、D-F/F18がクリアのモードから入力クロックを受け付ける状態になる。この期間では3BIT D/A19の入力は全てローとなっていて、出力O(D/A(4))は最低レベルになっている。またT0がローのとき5BIT D/A12の出力(本発明の実施例においてはこの信号が発光指令信号になっている。)は、最低レベルになっているが、オフセットを持たせているので半導体レーザ(LD)の光出力は、0にはなっていない。従って、光・電気負帰還ループにより発光指令信号のオフセットに対応する電流をメインアンプは出力している。この時の電流値をIout1とする。

【0031】次にT0がハイになった後、入力データD0～D4にかかわりなく強制的に全データを内部的にハイとして、5BIT D/A12と5BIT D/A14の出力を最高レベルにする。すると光・電気負帰還ループによりメインアンプ13の出力電流は、発光指令信号の最高レベルに対応した電流Iout2を出力する。カレント検出回路15はIoutとIout1の差電流Aを出力する。一方3BIT D/A16は、最大値に対応した電流Bを出力している。この電流AとBとを比較器により比較して、結果をCに出力し、D-F/F18のデータ(D)に入力される。以上の期間(T1がローの期間)において、D-F/F18の出力はローなので3BIT D/A19によりコントロールされる5BIT D/A14は、3BIT D/A19の最低出力に対応した電流を出力している。以上の動作終了後、T1がローからハイになり、まず比較器の比較結果CをD-F/F18aに取り込む。

【0032】この後、3BIT D/A16の出力BがT1がローのときのレベルの1/2のレベルになり、またD-F/F18aの出力結果により、3BIT D/A19の出力O(D/A(4))が変化し、5BIT D/A14の出力電流が変化する。この電流の変化速度は光・電気負帰還ループの制御速度より遅くなるように設定しているので、5BIT D/A14の出力変化に応じて半導体レーザの光出力が変化しないようにメインアンプ13の電流が変化する。以下、T2、T3のタイミングまでは同様な動作をし、D-F/F18が入力データを取り込んだ後、入力データD0～D4が有効となる

モードになる。以上の動作は、発光指令信号の変化に対応した光出力を得るために半導体レーザの順方向電流を光・電気負帰還ループを介して逐次変換型のA/D変換を行なっていることにはかならない。このようにして5BIT D/A14のフルスケールがメインアンプ13の出力電流の変化が最小となるように設定される。従って、発光指令信号に対応した光レベルになる様に5BIT D/A14が半導体レーザを駆動するので、光・電気負帰還ループの制御量が減り、高速変調特性が向上する。

【0033】以上の説明においては、D-F/Fが3BITの場合であるが、BIT数はいくつであっても良い。また本発明の実施例においては、D-F/Fを用いていたがメモリー機能を有していれば良いのでD-F/Fである必要はない。また、発光指令信号を本発明の実施例においては、D/A変換器を使用していたが、これはD/A変換器でなくともよい。また、発光指令信号を最小値から最大値に変化させていたが、この変化はどのレベルからどのレベルでも同様である。また、5BIT

D/A14により発光指令信号に比例する電流を半導体レーザに駆動しているが、これは、例えば掛け算回路等を用いれば外部電圧によりフルスケールが変化させられるのでD/A変換器である必要はない。

【0034】図10は、本発明による半導体レーザ制御回路の他の実施例を示す図で、図中、21はレベルシフト回路、22は発光レベル生成回路D/A部、23は電流加算回路D/A部、24はエラー検出回路、25は制御電流検出回路、26は電流設定回路、27は電流加算回路出力部、28はメインアンプ、29は発光レベル生成回路基準電流生成部、30は遅延回路、31は基準電圧生成回路である。

【0035】以下、順を追って動作を説明する。入力データD0～D4はレベルシフト回路21に入力され、VBBにより設定されるスライスレベルにより内部ロジックレベルに変換される。この時、遅延回路30のコントロール信号T0がハイ、T6がローの場合には、入力データにかかわりなくハイレベルの内部ロジック信号を出力し、コントロール信号T0がロー、T6がローの場合には、入力データにかかわりなくローレベルの信号を出力する。更に出力信号の中点であるスライス電圧VAを出力する。

【0036】レベルシフト回路21の出力データDA0～DA4とスライスレベル信号VAは電流加算回路のD/A部23と発光レベル生成回路D/A部22とに入力される。同D/Aともに入力データDA0～DA4がローレベルのとき最大電流I0とIsとをそれぞれ出力する。電流加算回路23の出力電流のフルスケールは電流設定回路の出力であるVCAにより決定される。一方、発光レベル生成回路D/A部22の出力Isのフルスケールは、発光レベル生成回路の基準電流生成部29からの

信号 I_R により決定される。

【0037】電流加算回路出力部 27 は電流加算回路 D/A 部 23 の出力電流 I_0 を增幅し、增幅率は外付け抵抗 R_E の値により設定され、半導体レーザ (LD) を駆動する。このように外付け抵抗 R_E により最大駆動電流を設定できるので半導体レーザの特性が変わっても R_E の値を変更するだけで対応することができる。

【0038】メインアンプ 28 は発光レベル生成回路 D/A 部 23 の出力電流 I_s と半導体レーザの光出力の一部をモニターし、光出力に比例する光起電流との差電流が I_{in} に入力され、 I_{in} を増幅して外付けトランジスタ Q1 を駆動することにより半導体レーザ (LD) の順方向電流を制御する。このメインアンプ 28 と半導体レーザ (LD) とフォトダイオード (PD) とで光・電気負帰還ループが構成されている。また、メインアンプ 28 は発光レベル生成回路 29 からのコントロール信号 V_{GC} によりゲインが変えられるようになっている。更に、半導体レーザの制御電流のモニターをするためのモニター出力 V_{MON} と制御電流が所定電流以上になった場合の保護回路が内蔵されており、保護回路が動作した場合、エラーを検出できるようにエラー検出回路への出力 V_{ER} 出力を行なっている。メインアンプ 28 の最終段の半導体レーザの駆動用トランジスタと該トランジスタのエミッタ抵抗 R_f 及びフォトダイオード (PD) の出力電流と発光指令信号 I_s との差電流を積分するキャパシタンス C_f とを外付け部品とすることにより、光・電気負帰還ループの制御速度の安定化や図 10 のブロック (トランジスタ Q1 を除く) の消費電力の低減を図っている。

【0039】制御電流検出回路 20 は、図 8 において示されたカレント検出回路 15 と 3BIT D/A 16 と比較器 17 が含まれている。比較結果の DFO, DFI は電流設定回路 26 に出力される。エラー検出回路 24 は V_{ER} の入力と基準電圧 V_{R1} とを比較し、エラーが発生していた場合に ERROR 信号を出力する。電流設定回路 26 は制御電流検出回路 25 の出力 DFO, DFI を受取り、遅延回路 30 により設定されたタイミング T1, T3, T5 に応じて DFO, DFI のデータをホールドし、ホールドされたデータに応じて電流加算回路 D/A 部 22 のフルスケールを設定する出力 V_{CA} を出力する。また、T5 のタイミングのデータをホールドした後、タイミング信号 T6 をレベルシフト回路 21 に出力する。

【0040】発光レベル生成回路基準電流生成部 29 は外付け抵抗 V_{R1} により設定された基準電流により、メインアンプ 28 のゲインコントロール信号 V_{GC} と発光レベル生成回路 D/A 部 22 のフルスケール設定電流 I_R とを連動させて出力する。更に V_{CONT} 電圧によりゲインコントロール信号 V_{GC} とは独立に発光レベル生成回路 D/A 部 22 のフルスケールを設定できるようになっている。遅延回路 30 は TC 信号にしたがって一定時間遅れ

てステートが変化する T0, T1, T3, T5 を出力する。基準電圧生成回路 31 はほんブロックの動作上の基準電圧を生成している。以上のブロックはレベルシフト回路 21 が、基準電圧生成回路 31、メインアンプ 28、電流加算回路出力部 27 と物理的距離ができるかぎり離れるように配置されている。

【0041】図 11 は、レベルシフト回路の構成図であり、T0 がローのとき D0～D4 が入力される差動スイッチのバイアス電流が 0 となり、DA0～DA4 は強制的にハイレベルになる。また、T6 がローのときには V_{BB} の入力部から電流を引き込み、強制的にスライスレベルをローにする。この結果、入力データ D0～D4 にかかわりなく DA0～DA4 はローになる。図 12 は、発光レベル生成回路 D/A 部の構成図であり、入力電流 I_R により動作される差動スイッチのスイッチングされる各電流値を設定している。

【0042】図 13 は、電流加算回路 D/A 部の構成図である。トランジスタ Q70, Q71 は差動スイッチであり、トランジスタ Q72, Q73, トランジスタ Q74, Q75, トランジスタ Q76, Q77, トランジスタ Q78, Q79 も同様に差動スイッチである。トランジスタ Q80 のサイズを 1 とすると、Q81 は 2、Q82 は 4、Q83 は 8、Q84 は 16 という関係になっている。すなわち、抵抗 $R80$ に流れる電圧を I_1 とし、順次、抵抗 $R81$ に流れる電流を I_2 、抵抗 $R82$ に流れる電流を I_3 、抵抗 $R83$ に流れる電流を I_4 、抵抗 $R84$ に流れる電流を I_5 とした場合に、 $I_2 = 2I_1$, $I_3 = 4I_1$, $I_4 = 8I_1$, $I_5 = 16I_1$ の関係が成り立つ。DA0 がローの時は、電流 I_0 がトランジスタ Q71 に流れ、その結果として、電流 I_1 が流れる。また、DA1 がローの時は、トランジスタ Q73 に電流 I_0 が流れ、その結果として、電流 I_2 が流れる。このように順次差動スイッチを動作させることにより加算電流が outputされる。

【0043】図 14 は、エラー検出回路の構成図である。電圧 V_{ER} がトランジスタ Q85 のベースに印加されると、抵抗 $R85$ による電圧 V_{cc} の電圧降下により、a 点には対応する電圧が発生する。すなわち、 $V_{ER} = V_{cc} - V_B$ とした場合に、b 点には V_B の電圧が発生する。この b 点の電圧 V_B と電圧 V_{R1} を比較し、 $V_{R1} > V_B$ であればエラー信号が発生する。

【0044】図 15 は、制御電流検出回路の構成図である。 V_{MON} 信号を外付け抵抗 $R80$ と $R81$ により分圧し、半導体レーザの種類に対応して分圧比を設定できるようになっている。また外付けキャパシタンスによりハイパスフィルターを構成し、T0 のハイの時間が、T0 がローになってから T6 がハイになる間での時間が十分長くすることを利用して、発光指令信号が最小レベルから最大レベルになったときに対応した光・電気負帰還ループの制御電流の変化量を DC 電位の精度を保って検出

している。このようにすることにより、簡単な構成で制御電流の変化量を検出することができる。

【0045】図16は、電流設定回路の構成図である。図中のI部は、図8におけるD-F/F18aに対応し、II部は、図8における18c、III部は、図8における18b、IV部は、図8における3BIT D/A変換器19に各々対応している。図17は、電流加算回路の出力部の構成図である。図13に示した電流加算回路D/A部において得られた電流 I_0 を増幅したものが図中の矢印方向の電流として流れる。

【0046】図18は、メインアンプの構成図である。半導体レーザ制御回路において、半導体レーザは過大電流により破損しやすいので、通常制御回路の電源投入後に半導体レーザ駆動電源を投入する。制御回路の電源投入後、半導体レーザ駆動電流が投入されていない場合には、光・電気負帰還ループは動作上飽和状態になっている。この影響により I_{in} の入力部の電位は低下し、前段のD/A部のみならず次段のトランジスタも飽和状態になる。このためICにおいてはラッチアップする。これを防ぐため、図18においては I_{in} の電位が下がりすぎないように、また正常動作において影響を与えないようトランジスタのベース電圧を飽和する電位以下にはならず、動作時にはオフとなるような電位を与えるトランジスタTRを附加している。

【0047】図19(a), (b)は、発光レベル生成回路基準電流生成部の構成図である。図19において電圧 V_R はトランジスタのベースに入力されトランジスタのエミッタ電位が一定になるようになっている。このようにして外付け抵抗 V_R の端子間電位が安定になっている。抵抗 V_R の抵抗値を変えることにより、発光指令信号のフルスケールと光・電気負帰還ループのオープンループでのゲインが連動して変化する。オープンループのゲインと発光指令信号のフルスケールとはフルスケールが増大するとゲインが低下するようになっている。従って、抵抗 V_R を調整するときにはレベルシフト回路の入力データを全てハイにし、フルスケールが最小値から大きくなる方向に調整する。これは半導体レーザの保護のために必要なことである。したがって、抵抗 V_R を調整するときには光・電気負帰還ループの安定性の観点からオープンループゲインが1となる周波数を適正値よりも低くなる様にしておく必要がある。これを外付けのスイッチとこれに直列に接続されるキャパシタンスにより設定している(調整時にはスイッチをオンにし、調整終了後スイッチをオフとすることにより実現している)。

【0048】また、可変抵抗 V_R が小さな値の場合にはフルスケールが最小になるようになっている。また、図1の動作説明において述べたように、メインアンプのゲインの変化は I_0 に反比例して変化するので、発光指令信号のフルスケール設定電流に比例して変化する電流

になるような V_{CC} を生成している。但し、図1の場合との違いは、メインアンプの電圧・電流変換のとき、トランジスタのエミッタ抵抗の影響により図1の場合とずれている。これを除去するためにTR1とTR2のエミッタ電流比を変えて保証している。この結果、発光指令信号のフルスケール設定電流とメインアンプのペアトランジスタのバイアス電流とは完全に比例関係になってはいない。

【0049】さて、可変抵抗 V_R により設定された電流は、トランジスタTR9にながれ、該トランジスタTR9のコレクタ電流はペアシランジスタTR3, TR4とに分流する。この分流比はTR5とTR6のトランジスタの分流比と同じであり、TR5, TR6の分流比は、外部入力電圧 V_{CONT} によりTR7の電流を設定することにより決められる。このようにして外部入力電圧に比例した分流比を得ることにより I_R を設定する。また、発光指令信号のフルスケールをメインアンプのゲインとは独立に設定できるようにし、これにより半導体レーザの発光光量の最大値を V_R の調整後、本発明の半導体レーザ制御回路が動作状態にあっても設定できるようになる。

【0050】図20は、遅延回路の構成図である。図中のI部でトランジスタの動作タイミングのわずかな遅れを発生させる。すなわち、a部の信号をII部のRC時定数で図9に示す遅延時間 Δt_1 を得る。また、III部のRC時定数で図9に示す遅延時間 Δt_2 を得る。さらにIV部のRC時定数で図9に示す遅延時間 Δt_3 を得る。図21は、基準電圧生成回路の構成図である。図中のI部のa点の電圧が安定した電圧となるように回路構成されている。II部はカレントミラー回路で電圧 V_{CSP} を発生する。また、III部も同様にカレントミラー回路で電圧 V_{CS1} を発生する。電圧 V_R は、トランジスタのベースに電圧が印加されるとエミッタ電位が安定になるように構成される。 V_{R1} はa点と同じ電圧が得られる。 V_{R2} はトランジスタベース・エミッタ間の逆方向の温度特性が得られるような電流を出力させる。

【0051】

【効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

40 (1) 請求項1に対応する効果；被駆動半導体レーザの光出力の一部をモニターし、該半導体レーザの出力光強度に比例するモニター信号と発光指令信号とが等しくなるように前記半導体レーザの順方向電流を制御する半導体レーザ制御装置において、前記発光指令信号と前記モニター信号との差電流を誤差電流増幅器により増幅して前記半導体レーザの前記順方向電流を制御する光・電気負帰還ループと、前記誤差電流増幅器の前記発光指令信号の変化に応じた出力電流の変化量を検出するカレント検出回路と、第1のD/A変換器と、前記カレント検出回路の出力と前記第1のD/A変換器の出力を比較す

る比較器と、該比較器の出力結果を所定のタイミングに保持するメモリー機能と、前記所定のタイミングを生成するタイミング発生回路と、前記メモリーからの出力に従いD/A変換を行なう第2のD/A変換器と、前記発光指令信号に比例した電流を出力し、比例係数を前記第2のD/A変換器の出力により決定する電流加算回路とを有するように構成したので、バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計が容易になり、かつ、高速な制御が可能となる。また、素子数を少なく構成することができ、コンパクト化、小型化が図れる。

(2) 請求項2に対応する効果；カレント検出回路をハイパスフィルターにより構成したので、簡易な回路構成が実現でき、素子数が少なくてすむ。

(3) 請求項3に対応する効果；請求項1の効果に加え、発光指令信号の最小値が所定値であり、前記発光指令信号の変化は最小値から最大値に変化させるので、バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計が容易となり、かつ、高速な制御が可能となる。また、素子数を少なくすることができる。

(4) 請求項4に対応する効果；カレント検出回路をハイパスフィルターにより構成したので、簡易な回路構成が実現でき、素子数が少なくてすむ。

(5) 請求項5に対応する効果；請求項1の効果に加え、タイミング発生を遅延回路により構成したので、バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計が容易になり、かつ、高速な制御が可能となる。特に、遅延回路を用いているので、回路構成が簡易であり、素子数を少なくすることができる。

(6) 請求項6に対応する効果；遅延回路の遅延時間の最小値を前記光・電気負帰還ループの制御時間より長くしたので、より高速な制御が実現できる。

(7) 請求項7に対応する効果；カレント検出回路をハイパスフィルターにより構成し、変換タイミングの1ビットあたりの遅延時間をハイパスフィルターの時定数より短くしたので、カレント検出回路の設定がより高精度になる。

(8) 請求項8に対応する効果；請求項1の効果に加え、誤差電流増幅器は、入力電流によりキャッシュタンスの電荷を充放電することにより誤差電圧に変換し、該誤差電圧をハイインピーダンス入力回路を介して第1のペアトランジスタのエミッタ電流差を前記誤差電圧に比例した電流だけ変化させる入力部と、前記第1のペアトランジスタのベース・エミッタ電圧差を第2のペアトランジスタのベース・エミッタ電圧差として与えることにより、前記第2のペアトランジスタのコレクタ電流を変化させ、該第2のペアトランジスタのコレクタ電流に比例した電流を出力電流とする出力部とを有するように構成したので、バイポーラトランジスタを用いたIC化による光・電気負帰還ループの設計が容易になり、かつ高速

な制御が可能となる。また、素子数を少なくすることができ、コンパクト化、小型化が実現できる。

(9) 請求項9に対応する効果；光・電気負帰還ループを介して、発光指令信号の変化に応じた半導体レーザの順方向電流をA/D変換するA/D変換回路を有するので、請求項1の効果に加えて、より安定した光出力を得ることができる。

(10) 請求項10に対応する効果；光・電気負帰還ループを介して、発光指令信号の変化に応じた半導体レーザの順方向電流をA/D変換するA/D変換回路を有するので、請求項3の効果に加えて、より安定した光出力を得ることができる。

(11) 請求項11に対応する効果；光・電気負帰還ループを介して、発光指令信号の変化に応じた半導体レーザの順方向電流をA/D変換するA/D変換回路を有するので、請求項5の効果に加えて、より安定した光出力を得ることができる。

(12) 請求項12に対応する効果；光・電気負帰還ループを介して、発光指令信号の変化に応じた半導体レーザの順方向電流をA/D変換するA/D変換回路を有するので、請求項8の効果に加えて、より安定した光出力を得ることができる。

【図面の簡単な説明】

【図1】 本発明による半導体レーザ制御装置に用いられる光・電気負帰還ループの一実施例を説明するための構成図である。

【図2】 図1に示した光・電気負帰還ループの回路構成図である。

【図3】 図2のバイアス電圧生成回路の構成図である。

【図4】 光・電気負帰還ループの他の実施例を示す図である。

【図5】 図4のバイアス電圧生成回路の構成図である。

【図6】 光・電気負帰還ループの更に他の実施例を示す図である。

【図7】 光・電気負帰還ループの更に他の実施例を示す図である。

【図8】 本発明による半導体レーザの制御回路を示す図である。

【図9】 図8のタイミングチャートを示す図である。

【図10】 本発明による半導体レーザ制御回路の他の実施例を示す図である。

【図11】 レベルシフト回路の構成図である。

【図12】 発光レベル生成回路D/A部の構成図である。

【図13】 電流加算回路D/A部の構成図である。

【図14】 エラー検出回路の構成図である。

【図15】 制御電流検出回路の構成図である。

【図16】 電流設定回路の構成図である。

【図17】 電流加算回路出力部の構成図である。

【図18】 メインアンプの構成図である。

【図19】 発光レベル生成回路基準電流生成部の構成図である。

【図20】 遅延回路の構成図である。

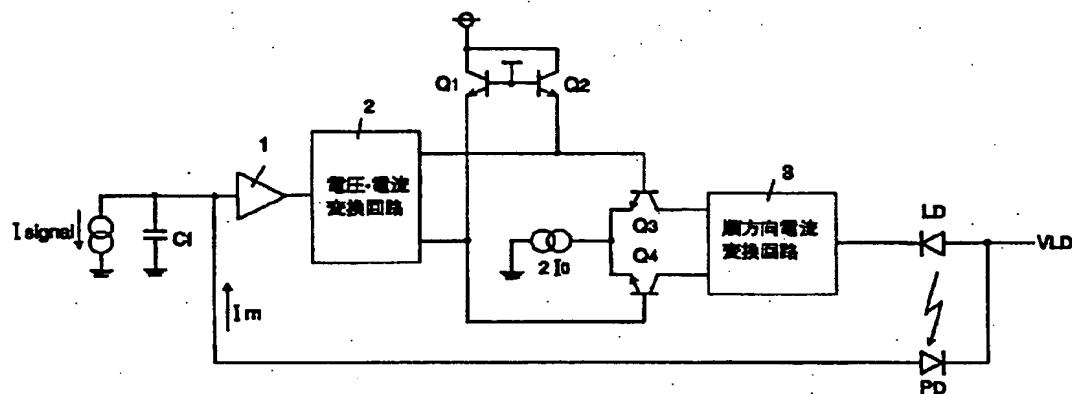
【図21】 基準電圧生成回路の構成図である。

【符号の説明】

1…ハイインピーダンス回路、2…電圧・電流変換回路、3…順方向電流変換回路。

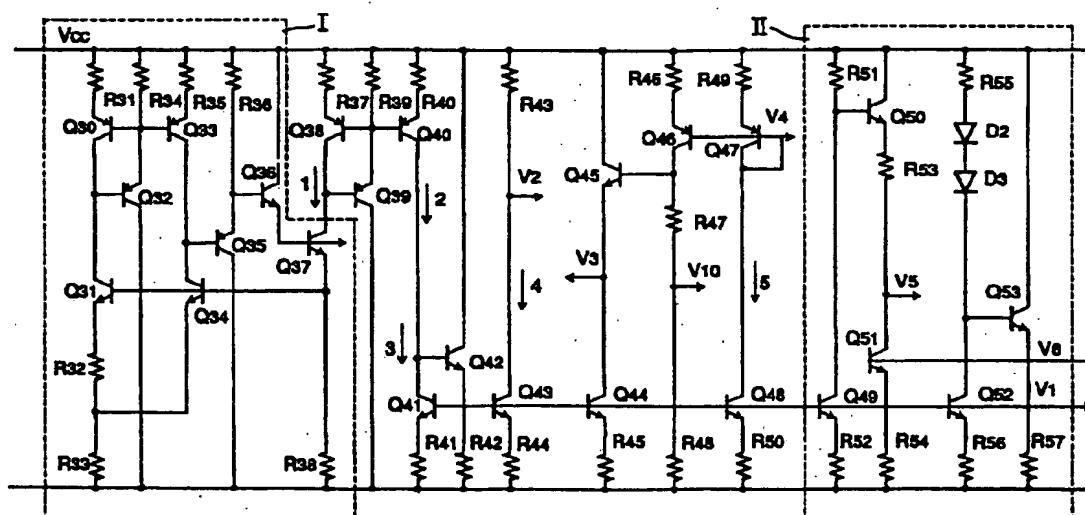
【図1】

光・電気負帰還ループのブロック図

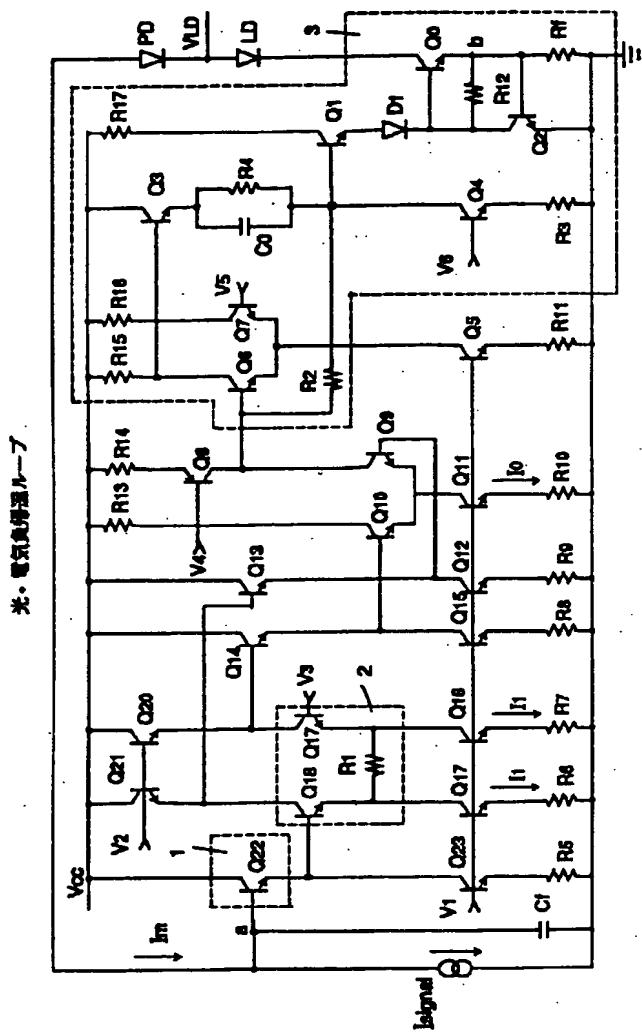


【図3】

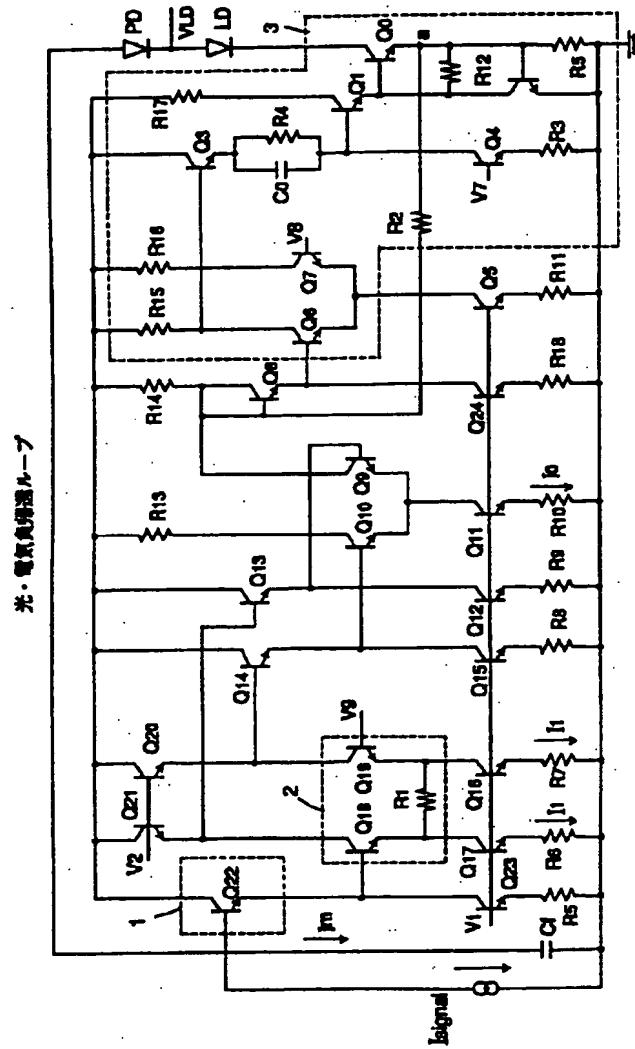
光・電気負帰還ループのバイアス回路



〔図2〕

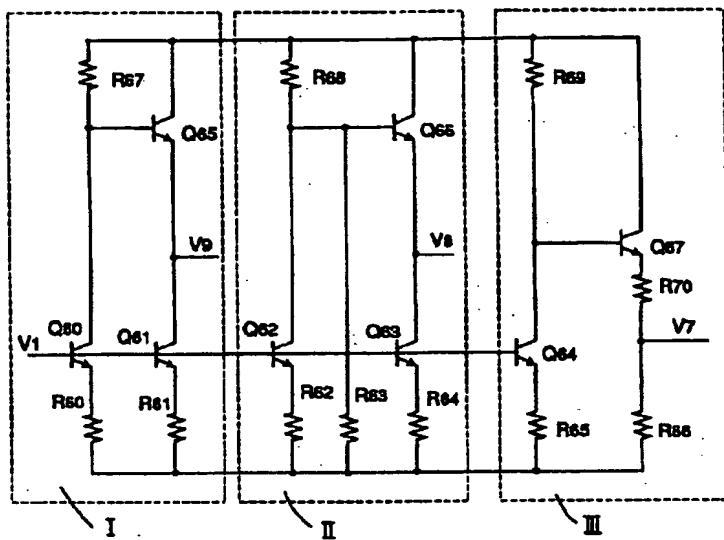


[図4]



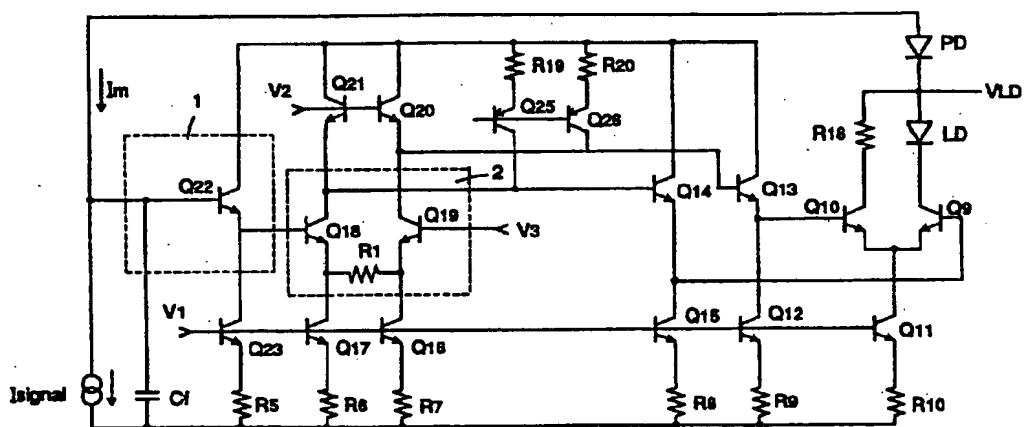
【図5】

光・電気負帰還ループバイアス回路

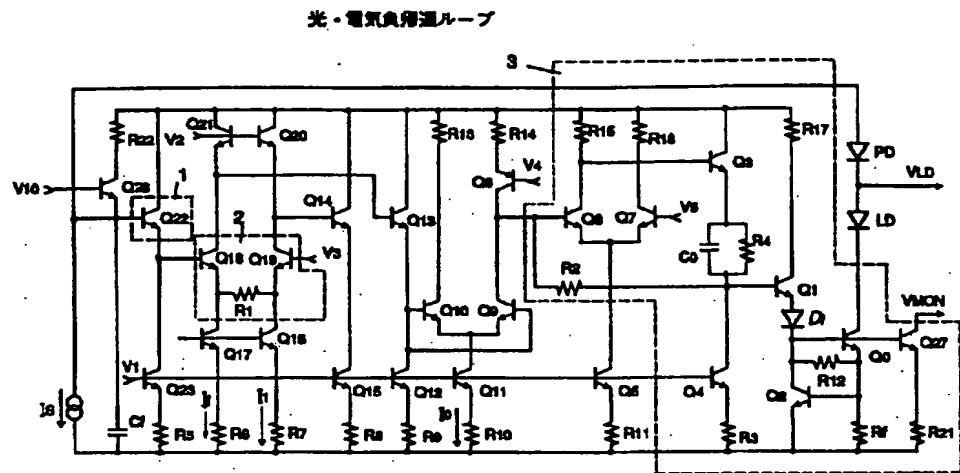


【図6】

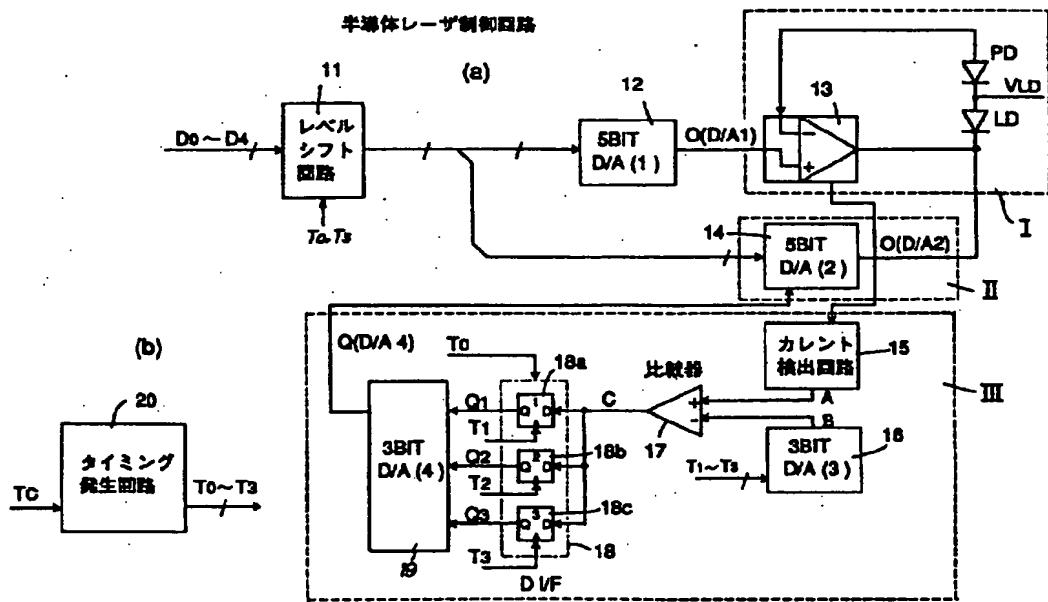
光・電気負帰還ループ



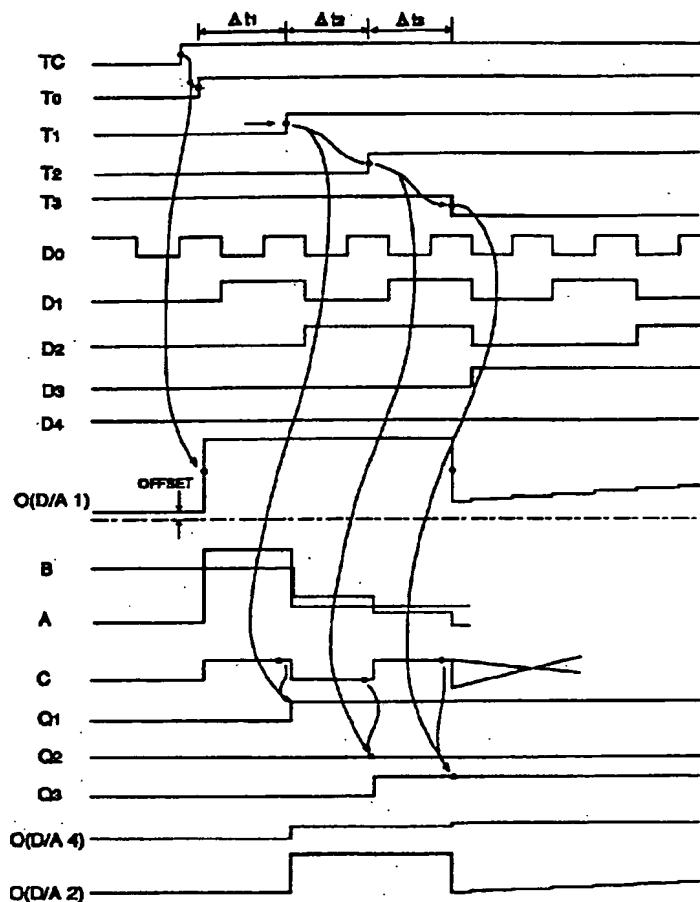
【図7】



【図8】

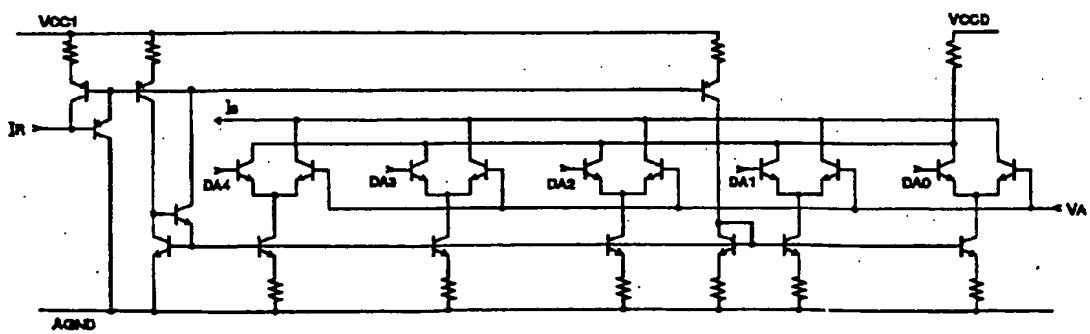


【図9】

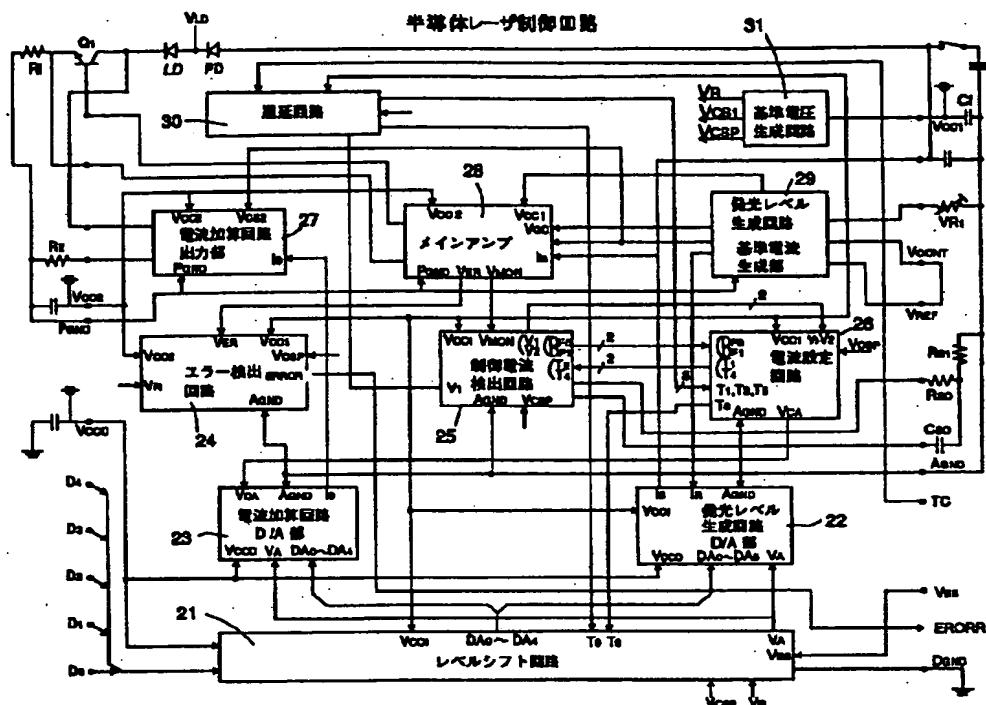


【図12】

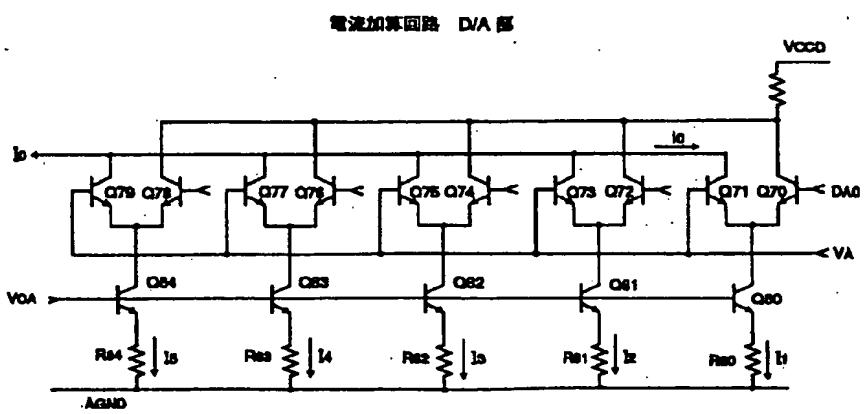
発光レベル生成回路 D/A 部



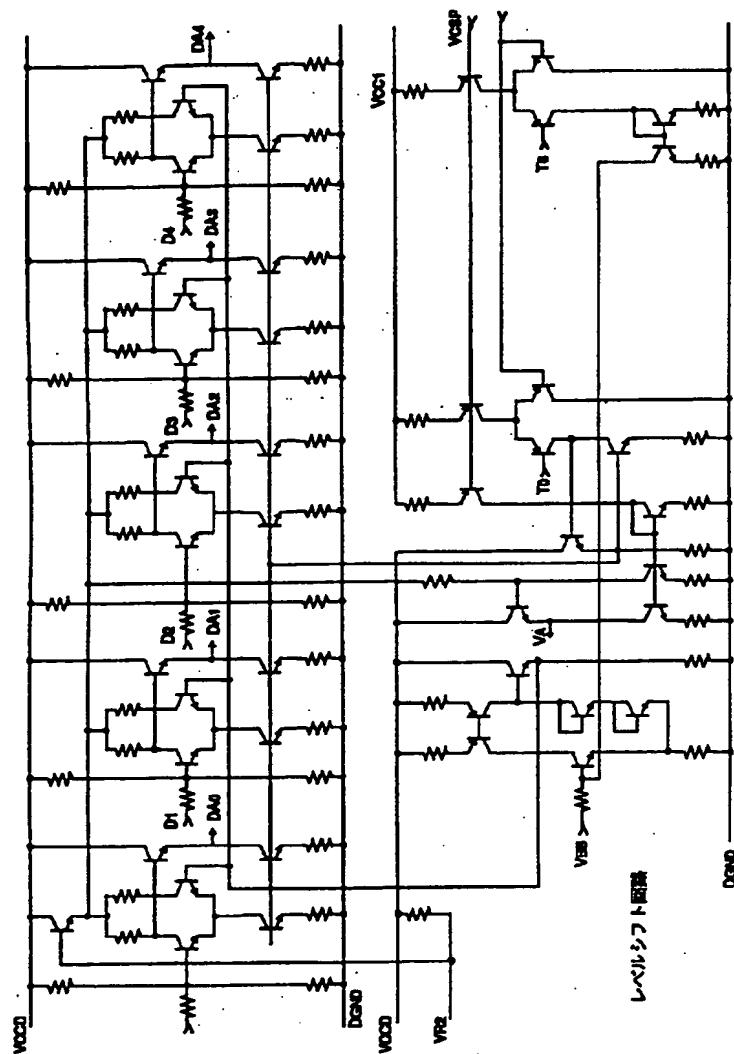
【図10】



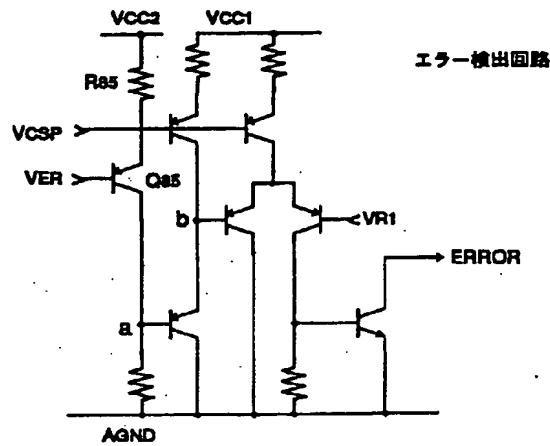
[図13]



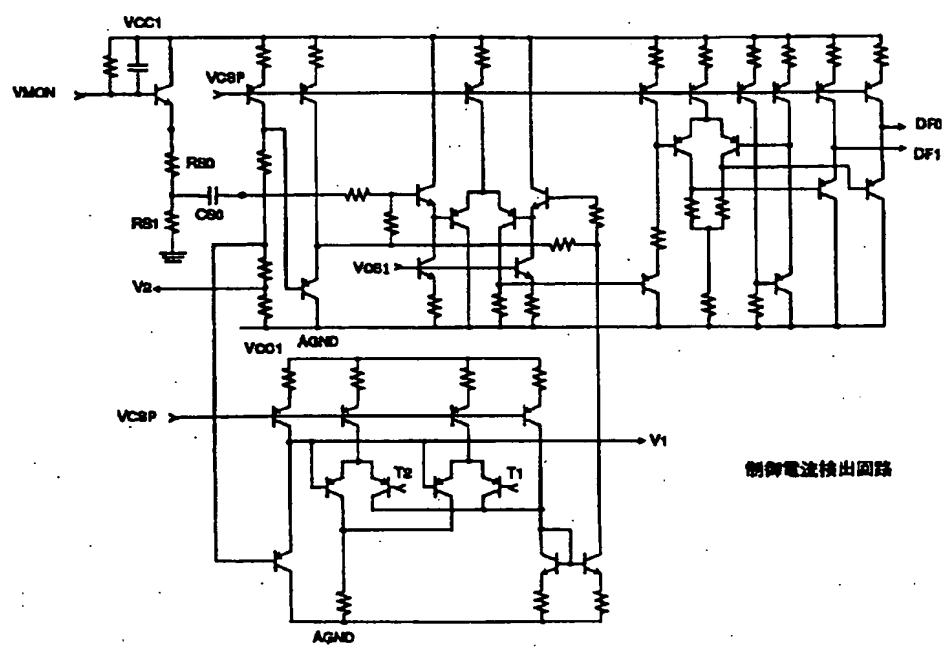
【図11】



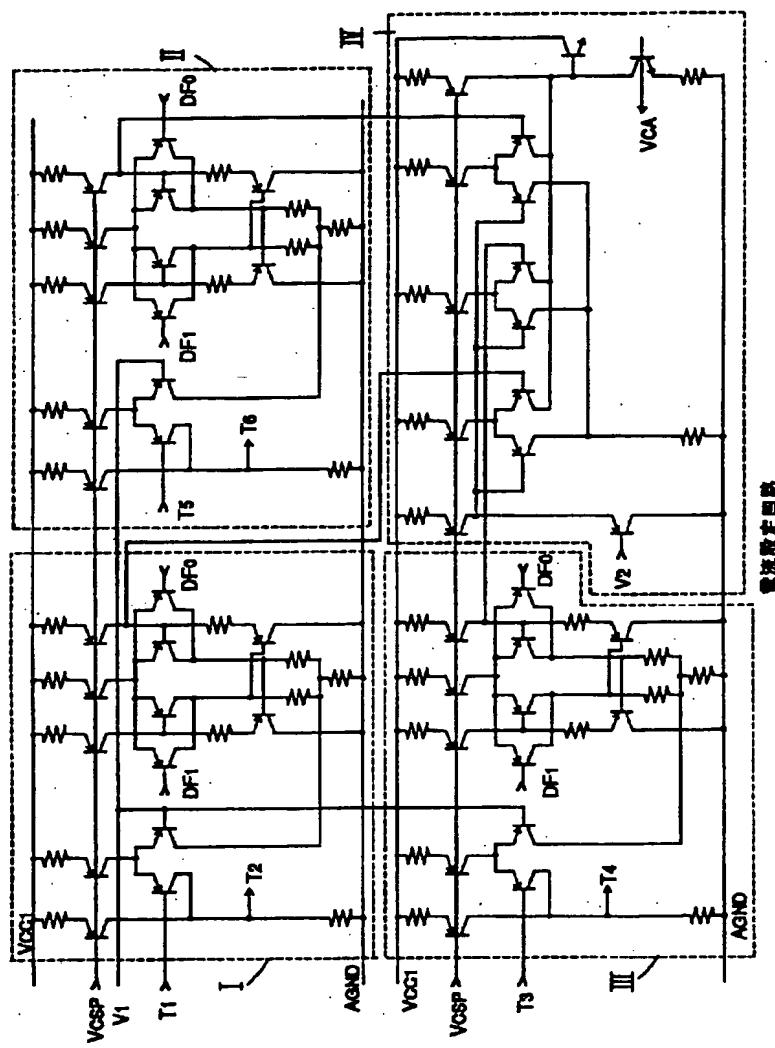
【図14】



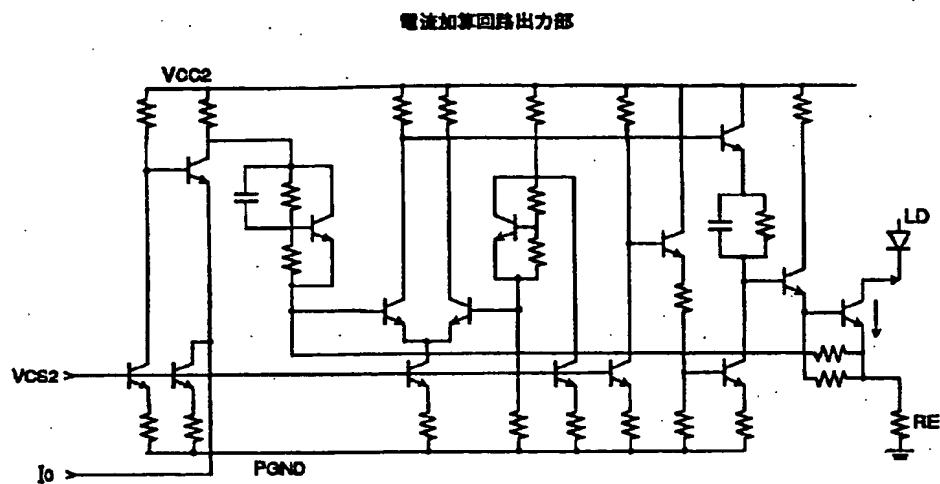
【図15】



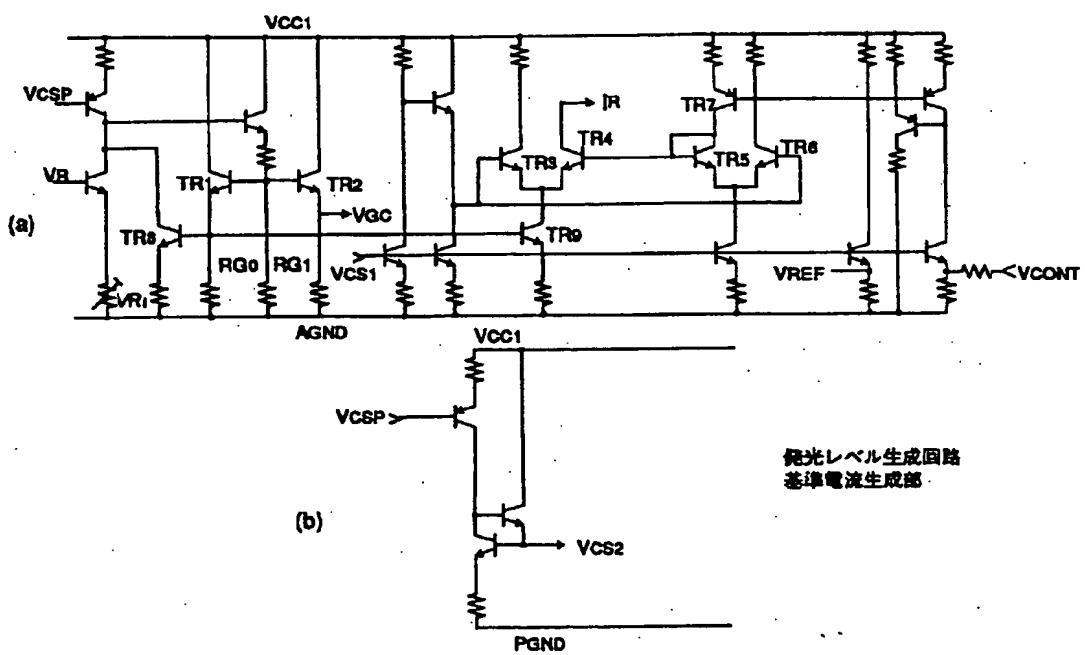
【図16】



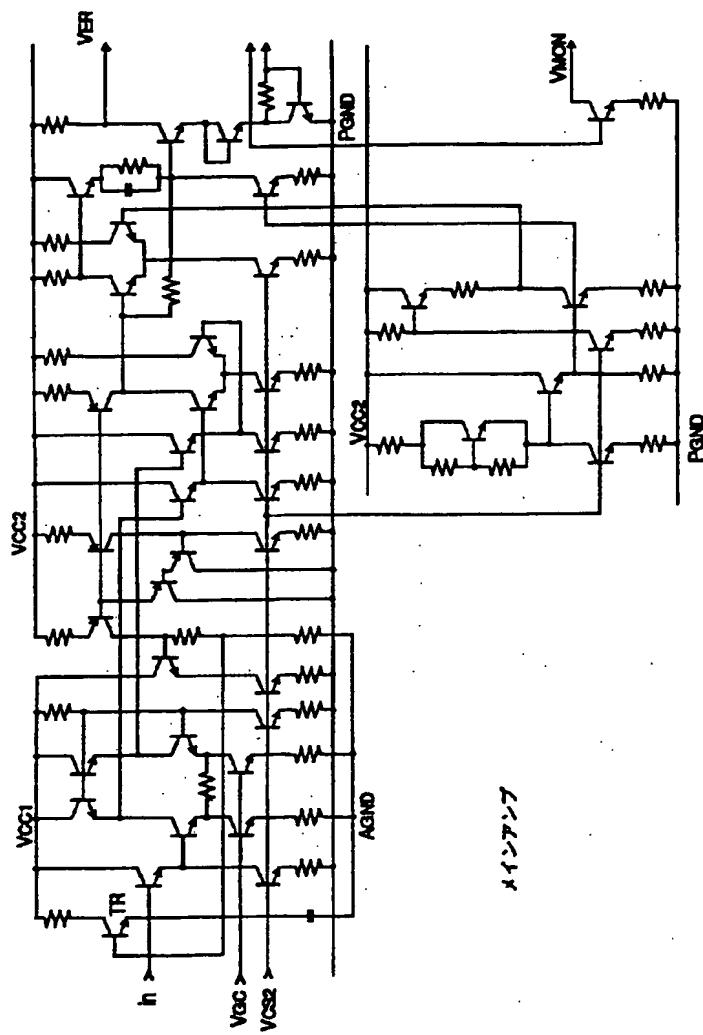
【図17】



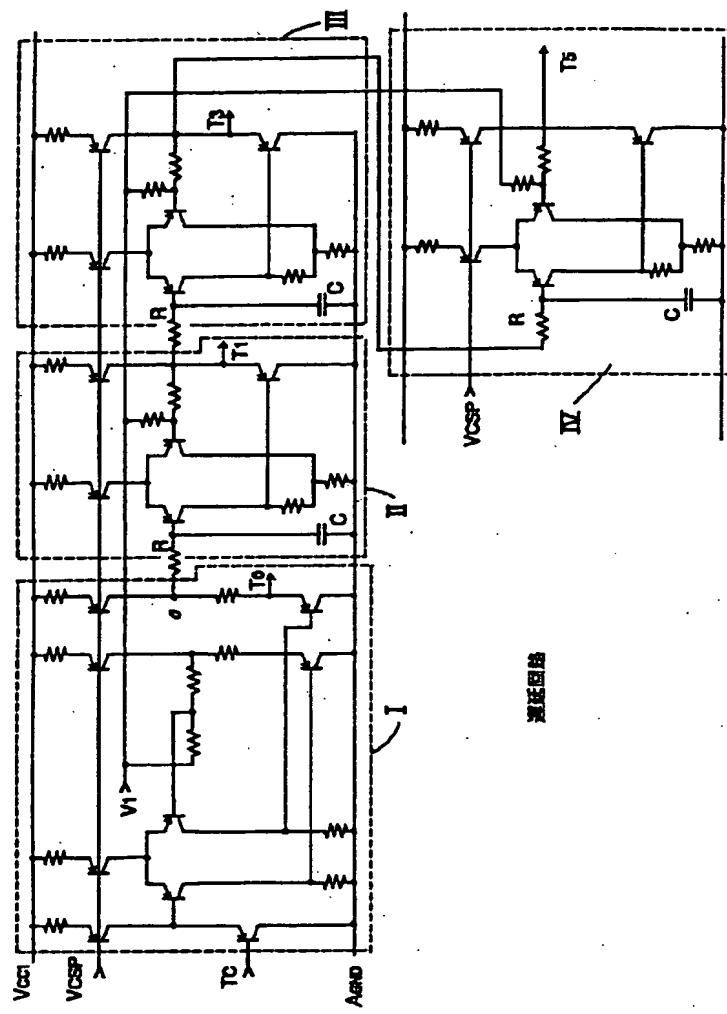
【図19】



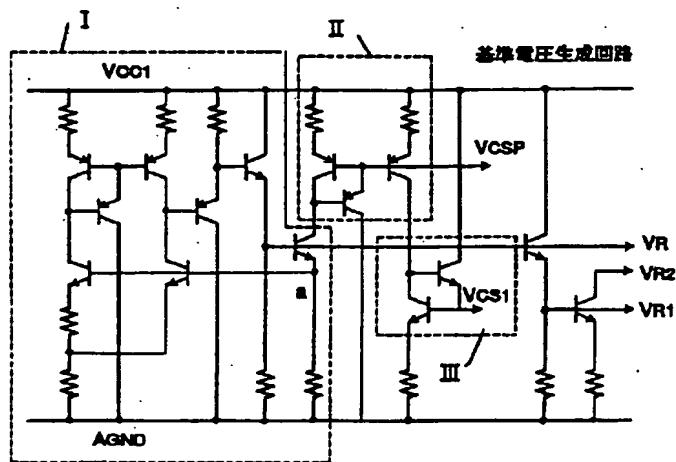
【図18】



【図20】



【図21】



フロントページの続き

(31) 優先権主張番号 特願平3-25708
(32) 優先日 平3(1991)1月25日
(33) 優先権主張国 日本(JP)